

(19)日本国特許庁 (JP)

(2) 公開特許公報 (A)

(1)特許出願公開番号

特開2001-274248

(P2001-274248A)

(3)公開日 平成13年10月5日 (2001.10.5)

(51)Int.Cl.
H01L 21/768
21/3065

識別記号

FI
H01L 21/90
21/302テテコト (参考)
L SF 004
N SF 033

審査請求 未請求 求求項の範囲 OL (E 8 E)

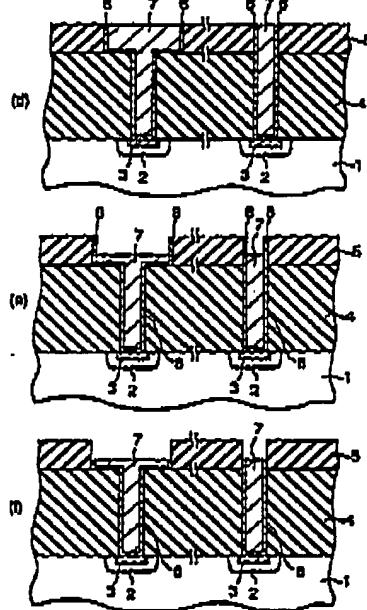
(21)出願番号 特願2000-88700(P2000-88700)
(22)出願日 平成12年3月28日 (2000.3.28)(71)出願人 000003078
株式会社東芝
東京都港區芝浦一丁目1番1号
(72)発明者 桑原 駿一
神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内
(74)代理人 100058479
弁理士 鈴江 武彦 (外6名)

最終目に戻る

(54)【発明の名称】 半導体装置およびその製造方法

(57)【要約】

【課題】 DD配線において使用されるバリアメタル膜のうち、ショートの原因となる部分を選択的に無くすこと。

【解決手段】 TIN膜(バリアメタル膜)6のうち、DD配線7の表面を除去することで露出した部分(ショートの原因となる部分)を、300℃以下の低温の酸素雰囲気で酸化処理してTIO_x膜8(被膜層)に選択的に成る。

【特許請求の範囲】

【請求項 1】導電膜を含む下地上に、前記導電膜よりも酸化物形成時のギブスの自由エネルギー低下が小さい配線が形成されてなる配線層を具備してなる半導体装置において、

前記下地は、前記導電膜の酸化物からなり、かつ前記導電膜と重がった絶縁膜を含むことを特徴とする半導体装置。

【請求項 2】前記配線は前記導電膜および前記絶縁膜に接し、かつ前記配線と前記導電膜の接觸面積は、前記配線と前記絶縁膜の接觸面積よりも大きいことを特徴する請求項 1 に記載の半導体装置。

【請求項 3】前記導電膜はパリアメタル膜、前記配線は金属配線であることを特徴する請求項 1 に記載の半導体装置。

【請求項 4】前記パリアメタル膜の材料は、金属変化物であることを特徴とする請求項 3 に記載の半導体装置。

【請求項 5】前記金属配線の材料は、W、Mo、Ru、Cu および Al の少なくとも 1 つを含むことを特徴とする請求項 3 に記載の半導体装置。

【請求項 6】第 1 の導電膜上にそれよりも酸化物形成時のギブスの自由エネルギー低下が小さい配線としての第 2 の導電膜を形成する工程と、

前記第 2 の導電膜をエッティングし、前記第 1 の導電膜の一部を露出させる工程と、

前記第 1 の導電膜の露出部分を酸化して、絶縁膜に変える工程とを有することを特徴とする半導体装置の製造方法。

【請求項 7】前記絶縁膜をエッティングにより選択的に除去する工程をさらに有することを特徴とする請求項 6 に記載の半導体装置の製造方法。

【請求項 8】前記第 1 の導電膜の材料は、金属変化物であることを特徴とする請求項 6 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置およびその製造方法に係わり、特に配線層の改良を図った半導体装置およびその製造方法に関する。

【0002】

【従来の技術】近年、コンピューターや通信機器の主要部分には、多数のトランジスタや抵抗等を電気回路を構成するようにむすびつけ、1チップ上に集積化して形成した大規模集積回路 (LSI) が多用されている。このため、機器全体の性能は、LSI 単体の性能と大きく相び付いている。LSI 単体の性能向上は、集成度を高めること、つまり、素子の微細化により実現できる。

【0003】素子の微細化は、例えば MOS トランジスタの場合であれば、ゲート長の短縮化およびソース／ドレイン配線層の薄層化により実現できる。

【0004】深いソース／ドレイン拡散層を形成する方法としては、低加速イオン注入法が広く用いられている。この方法により 0.1 μm 以下の深いソース／ドレイン拡散層を形成できる。

【0005】しかし、このように低加速イオン注入法で形成されるソース／ドレイン拡散層は、シート抵抗が 100 Ω/□ 以上という高い値になるため、このままでは微細化による高加速化は期待できない。

【0006】そこで、ロジック LSI のように高選択性を要求されるデバイスでは、ソース／ドレイン拡散層およびゲート電極 (不純物がドープされた多結晶シリコン膜) の表面にシリサイド膜を自己整合的に形成するというシリサイド技術が用いられている。

【0007】デュアルゲートの MOS トランジスタ (同一基板に形成された n チャネルおよび p チャネルの MOS トランジスタであって、n チャネル MOS トランジスタのゲート電極として n 型不純物がドープされた多結晶シリコン膜、p チャネル MOS トランジスタのゲート電極として p 型不純物がドープされた多結晶シリコン膜を用いたもの) を形成する場合には、シリサイド技術は單にゲート電極の抵抗化を図るだけではなく、工程数の削減化を図ることもできる。

【0008】その理由は、ソース／ドレイン拡散層を形成するためのイオン注入工程において、ゲート電極 (多結晶シリコン膜) に所定の導電膜の不純物をドープできるからである。

【0009】これに対して、ポリサイドゲート電極 (不純物がドープされた多結晶シリコン膜上に W シリサイド膜等の金属シリサイド膜を積層させたゲート電極) を用いてデュアルゲートの MOS トランジスタを形成する場合には、ソース／ドレイン拡散層を形成するためのイオン注入工程において、多結晶シリコン膜は金属シリサイド膜でマスクされるので、多結晶シリコン膜に所定の導電型の不純物をドープすることはできない。

【0010】したがって、ソース／ドレイン拡散層の形成前に、多結晶シリコン膜にあらかじめ所定の導電型の不純物をドープする必要がある。すなわち、ソース／ドレイン拡散層を形成するためのイオン注入工程と、多結晶シリコン膜に所定の導電型の不純物をドープするためのイオン注入工程とが別々の工程となり、工程数が増加する。

【0011】具体的には、シリサイド技術の場合よりも、フォトリソグラフィ工程が 2 回、イオン注入工程が 2 回、レジスト除去工程が 2 回それぞれ増加する。

【0012】一方、DRAM 等のメモリ LSI のように素子を高密度に集積形成することが要求されるデバイスにおいては、SAC (Self-Aligned Contact) 構造を採用することが必須である。

【0013】SAC 構造を形成する工程には、一方のソース／ドレイン拡散層 (通常はソースとして用いられる

方)上の層間絶縁膜をR1E法にてエッティングし、上記ソース／ドレイン拡散層に対してのコンタクトホールを形成する工程がある。

【0014】このとき、コンタクトホールに合わせずれが起きても、ゲート電極(多結晶シリコン膜)の表面が露出しないようにする必要がある。そのため、ゲート電極上にボッティングストップ膜としてシリコン塗化膜をあらかじめ形成しておく。

【0015】このようなシリコン塗化膜があると、ソース／ドレイン拡散層を形成する際のイオン注入工程において、ゲート電極に不純物が注入されなくなる。したがって、メモリLSIには、ロジックLSIで用いられているサリサイド技術を用いることができない。

【0016】ところで、メモリLSIでは、従来から、不純物がドープされた多結晶シリコン膜からなるゲート電極(多結晶シリコンゲート電極)が広く用いられ、また低抵抗化の必要性からポリサイドゲート電極も用いられている。

【0017】さらに低抵抗のゲート電極が必要な場合には、不純物がドープされた多結晶シリコン膜、バリアメタル膜、W膜等の金属膜を順次積層してなるポリメタルゲート電極が用いられる。ポリメタルゲート電極は、ポリサイドゲート電極よりも抵抗が低いことから、より薄い膜厚で所望のシート抵抗を実現できる。

【0018】しかしながら、ポリメタルゲート電極には以下のようないわゆる問題がある。ロジックLSIでは上述したデュアルゲート構造が用いられる。そのため、ポリサイドゲート電極の場合と同様に、ロジックLSIでポリメタルゲート電極を用いると、ポリメタルゲート電極の多結晶シリコン膜に不純物をイオン注入する工程と、ソース／ドレイン拡散層を形成するためにシリコン基板に不純物をイオン注入する工程をそれぞれ別々の工程で行う必要が生じる。したがって、工程数が増大し、生産コストが上昇する。

【0019】ところで、ロジックLSIにおいて、DRAMのソース／ドレイン拡散層の表面にシリサイド膜を形成すると、メモリセルのpn接合リレー電流が大きくなり、データの保持特性が悪くなる。また、DRAMでは、上述したようにSAC構造が必要であることから、Wポリサイド電極が用いられる。

【0020】一方、ロジックLSIでは、低電圧でできるだけ多くの電流を流すために、MOSトランジスタのしゃいの電圧を低くする必要がある。そのためには、nチャネルMOSトランジスタのゲート電極の多結晶シリコン膜にはPやAなどのn型不純物をドープしてn型とし、pチャネルMOSトランジスタのそれにはBF₂等のp型不純物をドープしてp型とする必要がある。

【0021】LSIの高性能化は、ソース、ドレインおよびゲートの低抵抗を下げるだけでは不十分である。すな

わち、配線に隣接する寄生抵抗を低減し、かつ配線の密度を高めることが非常に重要である。

【0022】DRAMに代表される半導体メモリのように、高密度に配線を集成化するデバイスでは、配線上にコンタクトを自己整合的に形成することが重要である。図5に、従来の自己整合的なコンタクトの形成方法を示す。

【0023】なお、図中、左側の領域は配線幅がコンタクト径よりも大きいデュアルマシン配線(Dロ配線)の形成領域、右側の領域はコンタクト径と配線幅が等しいDロ配線の形成領域を示している。

【0024】まず、図5(a)に示すように、シリコン基板81の表面に形成された拡散層82とコンタクトするWからなるDロ配線83を形成する。図中、84はT1S1、85はT1N1(金属シリサイド層)、86はS1O₂、87はS1O₃、88はS1O₂、89はS1O₃、90はT1N膜(バリアメタル膜)をそれぞれ示している。

【0025】次に図5(b)に示すように、配線溝内のDロ配線83の表面を50~100nm程度R1E(Reactive Ion Etching)で除去する。この結果、配線溝内の側壁上部のT1N層87は露出する。

【0026】次に図5(c)に示すように、配線間のショート(短絡)を防止するために、露出したT1N層87を塩酸と過酸化水素の混合液を用いてエッティングにより除去する。ここで、露出したT1N層87を確実に除去するためには、T1N層87をオーバーエッティングする必要がある。

【0027】

【発明が解決しようとする課題】しかしながら、オーバーエッティングを行うと以下のようないわゆる問題が起ころる。すなわち、オーバーエッティングを行うと、図5(d)に示すように、ダマシ配線83と配線溝との間に隙間88が生じる。

【0028】この隙間88は、シリコン塗化膜に対してエッティング選択性のあるシリコン塗化膜をCVD法により全面に堆積する工程で、必ずしも完全には埋め込まれないために、隙間88に空洞が残る恐れがある。

【0029】そして、第1および第2の層間絶縁膜85、86はS1O₂、87はS1O₃、88はS1O₂、89はS1O₃、90はT1N膜であるために水を通しやすく、その結果として上記空洞には水が溜まり、この溜まつた水が熱工場で水蒸気になると、デバイスの信頼性や性能は悪影響を受けることになる。また、図中の右側の領域のように、配線幅とプラグ84の幅とが一致している部分においても、上述したT1N層87のオーバーエッティングが同様に生じるので、同様な問題が発生する。

【0030】本発明の目的は、このようなオーバーエッティングによる問題を解決することが可能となる半導体装置およびその製造方法を提供することにある。

【0031】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば下記の通りである。すなわち、上記目的を達成するためには、本発明に係る半導体装置は、導電膜をまず下地上に、前記導電膜よりも酸化物形成時のギブスの自由エネルギーが小さい配線が形成されてなる配線層を備えた半導体装置において、前記下地が、前記導電膜の酸化物からなり、かつ前記導電膜と繋がった絶縁膜を含むことを特徴とする。

【0032】また、本発明に係る半導体装置の製造方法は、第1の導電膜上にそれよりも酸化物形成時のギブスの自由エネルギーが小さい配線としての第2の導電膜を形成する工程と、前記第2の導電膜をエッチングし、前記第1の導電膜の一部を露出させる工程と、前記第1の導電膜の露出部分を酸化する工程とを有することを特徴とする。

【0033】上記の如きに、第1および第2の導電膜のギブスの自由エネルギーの大小関係を巡んで、第1の導電膜および第2の導電膜を酸化性雰囲気に晒した場合、第2の導電膜を酸化せずに、第1の導電膜を酸化することが可能となる。そのため、上記半導体装置の製造方法によれば、第1の導電膜の所望の部分を絶縁膜に選択的に変えられることになる。

【0034】したがって、第1の導電膜としてパリアメタル膜、第2の導電膜として金属配線を選び、パリアメタル膜のうち従来は除去していた部分を絶縁膜に変えることで、従来の技術で説明した図5B8を招かずして、ショートの問題を未然に防止できるようになる。

【0035】本発明の上記ならびにその他の目的と新規な特徴は、本明細書の記載および添付図面によって明らかになるであろう。

【0036】

【発明の実施の形態】以下、図面を参照しながら本発明の実施の形態（以下、実施形態という）を説明する。

【0037】（第1の実施形態）図1および図2は、本発明の第1の実施形態に係る半導体装置の製造方法を示す工程断面図である。なお、図中、左側の領域は配線幅がコンタクト径よりも大きいロロ配線の形成領域、右側の領域はコンタクト径と配線幅が等しいドロ配線の形成領域を示している。

【0038】まず、図1（a）に示すように、シリコン基板1の表面に拡散層2を形成し、続いて拡散層2の表面にT1O₂、図3（金属シリサイド層）を形成する。拡散層2は、例えばMOSトランジスタのソース／ドレ

イン拡散層である。

【0039】次に図1（b）に示すように、シリコン基板1上にSiO₂膜の第1および第2の層間絶縁膜4、5を順次堆積した後、第1および第2の層間絶縁膜4、5をエッティングして配線溝およびコンタクトホールを形成する。

【0040】次に図1（c）に示すように、配線溝およびコンタクトホールの内面を被覆するようにパリアメタル膜としてのTiN膜6を全面に堆積した後、配線溝およびコンタクトホールの内部を充填するようにドロ配線となるW膜7を全面に堆積する。

【0041】次に図2（d）に示すように、CMP（Chemical Mechanical Polishing）によって、配線溝およびコンタクトホールの外部のTiN膜6およびW膜7を除去して、DD配線7を形成する。この結果、TiN膜6上にDD配線7が形成されてなる配線層が完成する次に図2（e）に示すように、DD配線7の表面を50～100nm程度RIEによって除去した後、除去して残れたTiN膜6、すなわちショートの原因となる部分を選択的に酸化してTiO₂膜8（絶縁膜）に変える。

【0042】この後、SACを形成するために、シリコン酸化膜を全面に堆積するが、本実施形態では、TiN膜6のうちショートの原因となる部分をエッティングにより除去するのではなく絶縁化しているので、従来の技術で説明した図5（d）に示したる隙間88は生じない。

【0043】図2（e）の後、シリコン基板1の全面に厚さ50～200nm程度のシリコン酸化膜をLPCVD法により形成し、CMPによりDD配線7のない部分にはシリコン酸化膜を残す。これによりDD配線7のない部分にはシリコン酸化膜が露出し、ドロ配線部だけシリコン酸化膜により覆われた状態が完成する。

【0044】したがって、本実施形態によれば、従来の技術で説明した、シリコン酸化膜による隙間88（図5（d））の不完全埋込みで生じる空洞の問題を解決できるようになる。

【0045】本発明の効果を調べるために、ラインアンドスペースが100nm、130nm、150nmの3種類のWからなるDD配線（配線長は各配線共通で10mm）を形成し、20、32（=2, 54×8）ウェハ内100箇所における配線間のショートチェックを行った結果、ショートが行っていない配線間の割合（ショート歩留り）（%）は、表1に示すように、大幅に向上した。

【0046】

【表1】

配線幅	ショート歩留り(従来)	ショート歩留り(本発明)
150nm	60%	90%以上
130nm	55%	90%以上
100nm	50%以下	85%以上

【0047】すなわち、本発明によれば、従来よりも30%以上歩留まりを改善することが可能となる。特に、上記問題が深刻となるデザインルールが0.13μm以下の世代において、本発明は大きな効果を発する。

【0048】なお、図では、TIN膜6とTIO₂膜8との界面は、DD配線7の表面と同じ高さになっているが、上記界面はDI配線7の表面よりも低くても良い。この場合、DI配線7はTIN膜6およびTIO₂膜8上に形成されることになる。

【0049】図2(e)の工程で、DD配線(W膜)7を酸化せず、TIN膜6のみを酸化するためには、例えば300℃以下の低温の発電炉中または水素で希釈した希釈水蒸気を用いた酸化処理により可能である。より高い選択比でTIN膜6を選択的に酸化するためには、水素と水蒸気の混合ガス、または一酸化炭素と二酸化炭素の混合ガス等の酸化性雰囲気で、酸化処理を行うと良い。

【0050】上記選択酸化のための膜面を安全に接触させるためには、空素またはArで酸化性雰囲気を希釈することが有効である。空素で希釈する場合には、図3に示すように、空素分圧を所定の範囲内に設定することが必要である。図中、斜線の領域はTIN膜6を選択的に酸化できる領域を示しており、この領域外ではTIN膜6を酸化できない。すなわち、TIN膜6を選択的に酸化するためには、空素分圧比を一定の範囲に設定する必要がある。

【0051】なお、TIO₂膜8を除去する必要がある場合には、エッティング溶液として盐酸硫酸を用いると良い。盐酸硫酸を用いると、図2(f)に示すように、DI配線(W膜)7やTIN膜6をエッティングせずに、TIO₂膜8を選択的にエッティング除去することができる。

【0052】ただし、TIO₂膜8を形成する際のTIN膜6の酸化温度が500℃以上であると、TIO₂膜8の結晶化が起こって、TIO₂膜8のエッティング除去の際に陥落が生じる。したがって、TIN膜6の酸化温度は400℃以下の低温が望ましい。

【0053】TIO₂膜8の除去は、図2(f)に示すように、DD配線7の表面とTIN膜6の表面の位置とがほぼ一致するように行い、シリコン空化膜の不完全埋込みの原因となる大きさの陥落が生じないようにする。

【0054】(第2の実施形態)図4は、本発明の第2の実施形態に係る半導体装置の製造方法の製造方法を示す工程断面図である。なお、図1および図2と対応する部分には図1および図2と同一符号を付してあり、詳細な説明は省略する。図1の実施形態では本発明をDI配線に適用した場合について説明したが、本実施形態では導電膜をRIEで加工して形成した配線(以下、RIE配線という)に適用した場合について説明する。

【0055】まず、図4(a)に示すように、第2の層

間絶縁膜5上にバリアメタル膜としてのTIN膜6を形成した後、RIE配線となるW膜7を堆積する。

【0056】次に図4(b)に示すように、フォトリングラフィとRIEを用いてW膜7を加工し、RIE配線8を形成する。

【0057】次に図4(c)に示すように、RIE配線8をマスクにしてTIN膜6を酸化処理し、RIE配線8で覆われていない領域のTIN膜6をTIO₂膜8に変える。酸化条件は第1の実施形態と同様である。なお、RIE配線8のエッジ下にもTIO₂膜8が形成されるが、その量は小さく抵抗増大等の問題はない。

【0058】このようにTIN膜6の酸化によって、RIE配線8で覆われていない領域のTIN膜6をエッティングにより除去する必要が無くなり、第2の層間絶縁膜5に入るオーバーエッティングを防止することができる。また、不要ならばTIO₂膜8を第1の実施形態に示したようにエッティング除去しても良い。

【0059】なお、本発明は、上記実施形態に限定されるものではない。例えば、上記実施形態では、配線材料としてWを用いた場合について説明したが、W以外の配線材料、例えばCu、Ag、Au、Ru、Moを用いても良い。さらにはW、Cu、Ag、Au、Ru、Moのうちの2つ以上の金属からなる合金を用いても良い。

【0060】また、バリアメタル膜の材料としてはTIN以外に、例えばTa空化物、Nb空化物、Zr空化物、Hf空化物などの金属空化物、あるいは金属炭化物、金属硼化物、金属-Si炭化物、金属炭化物を用いても良い。

【0061】さらに、上記実施形態では、通常のシリコン基板を用いたが、寄生容量を減らし、より高周波デバイスを作成するために、SOI基板を用いても良い。また、活性領域がSiGからなる半導体基板を用いても良い。

【0062】その他、本発明の要旨を逸脱しない範囲で、様々な変形して実施できる。

【0063】

【発明の効果】以上詳説したように本発明によれば、配線層を構成する導電度のうちシロートの原因となる部分を絶縁膜に変えることで、導電膜を除去することで生じる陥落が無くなり、陥落によって生じる問題を解決できるようになる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態に係る半導体装置の製造方法を示す工程断面図

【図2】図1に続く回路形成方法を示す工程断面図

【図3】TIN膜を選択的に酸化できる空素分圧の領域を示す図

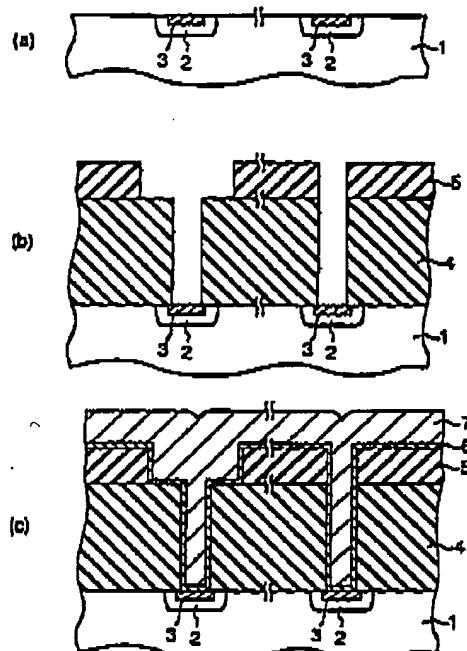
【図4】本発明の第2の実施形態に係る半導体装置の製造方法を示す工程断面図

【図5】従来の問題点を説明するための工程断面図

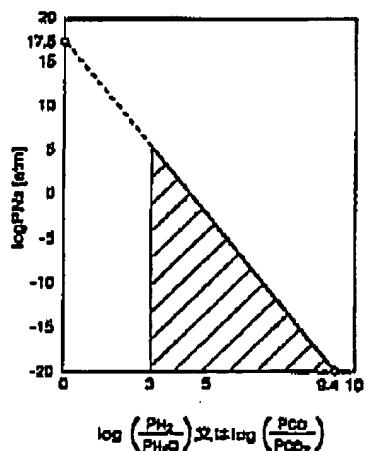
【符号の説明】

1…シリコン基板
2…抵抗層
3…T I S I, 層 (金属シリサイド層)
4…SiO₂層
5…TiN膜 (バリアメタル膜: 第1の導電膜)
6…DD記録またはR I E配線 (W膜: 第2の導電膜)
7…T I O_x膜
8…TiO₂膜

【図1】



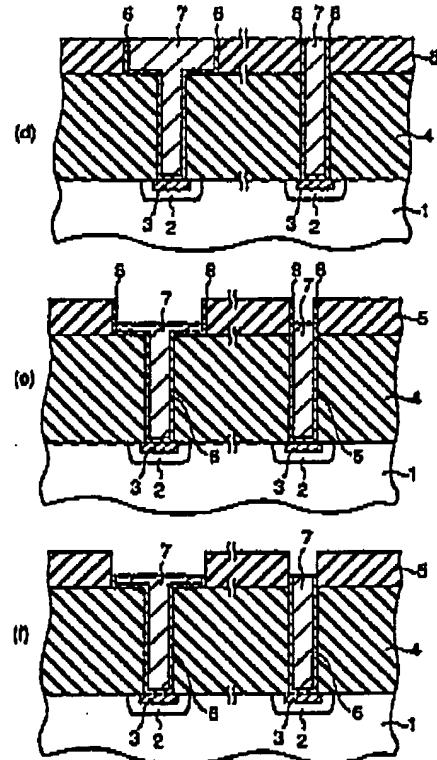
【図3】



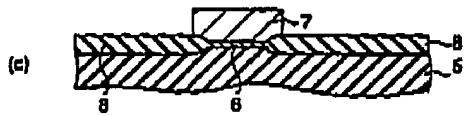
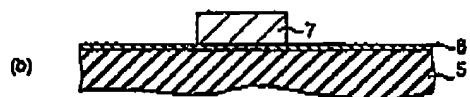
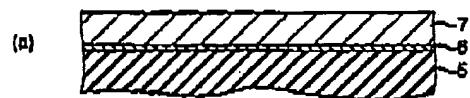
4, 5…層間絶縁膜

6…TiN膜 (バリアメタル膜: 第1の導電膜)
7…DD記録またはR I E配線 (W膜: 第2の導電膜)
8…TiO_x膜
9…TiO₂膜

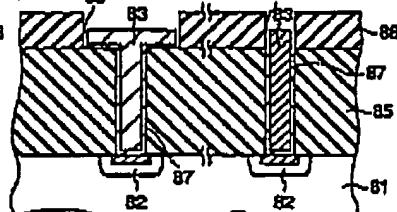
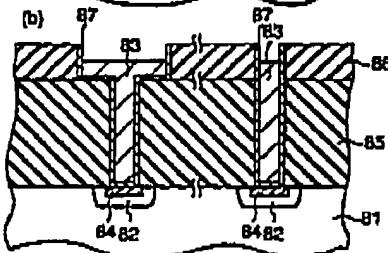
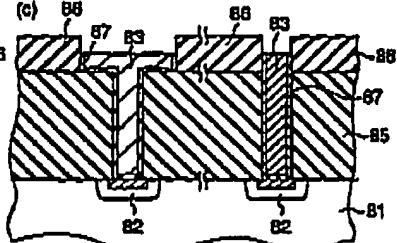
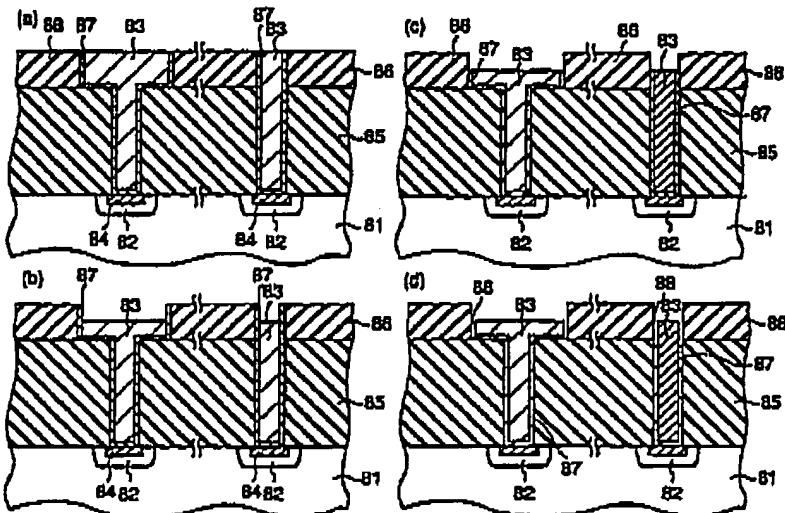
【図2】



【図4】



【図6】



フロントページの続き

Fターム(参考) SF004 BA04 DB08 DB10 EB02 FA08
6F033 HH07 HH11 HH13 HH14 HH19
HH20 HH31 HH32 HH33 HH36
JJ07 JJ11 JJ13 JJ14 JJ19
JJ20 JJ27 JJ31 JJ32 JJ33
JJ38 MM02 MM12 MM13 MM08
MM07 QQ08 QQ09 QQ13 QQ37
QQ48 QQ73 QQ76 RR04 RR06
SS13 SS26 XX31

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.